

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-300523

(43)Date of publication of application : 07.12.1988

(51)Int.Cl. H01L 21/66
G01K 7/34
H01L 27/04

(21)Application number : 62-137257

(71)Applicant : NEC CORP

(22)Date of filing : 29.05.1987

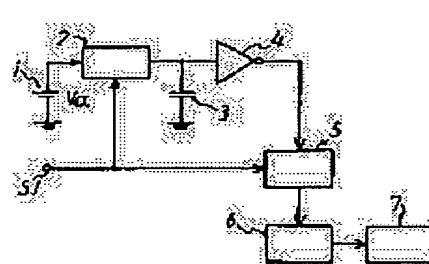
(72)Inventor : HASEGAWA YASUYUKI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To simplify the manufacture of a semiconductor integrated circuit and to reduce its manufacturing cost by measuring its temperature by using a semiconductor capacitor as a temperature sensor to eliminate the necessity of using a special process on one chip of a semiconductor integrated circuit.

CONSTITUTION: A switch 2 is initially closed to charge a semiconductor capacitor 3 to a VCC level. Then, when one predetermined trigger is input from a terminal 51 at the time of measuring its temperature, the switch 2 is opened, the stored charge of the capacitor 3 becomes a dynamically holding state, and the counting of a timer 5 is simultaneously started through the trigger. When it arrives at the voltage of the low level logic threshold value of an inverter 4 due to the drop of the voltage VC of the capacitor 3, its output level is transferred from an L level to an H level, and the counting of the timer 5 is stopped. That is, it is converted by a data converter to temperature data, latched by a latch register 7, and held by utilizing the characteristic in which the charge holding time is varied corresponding to the temperature change of the capacitor.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

12

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

昭63-300523

⑮ Int. Cl.⁴H 01 L 21/66
G 01 K 7/34
H 01 L 27/04

識別記号

庁内整理番号

T-6851-5F
7269-2F
C-7514-5F

⑬ 公開 昭和63年(1988)12月7日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体集積回路

⑰ 特 願 昭62-137257

⑱ 出 願 昭62(1987)5月29日

⑲ 発 明 者 長 谷 川 泰 之

東京都港区芝5丁目33番1号 日本電気株式会社内

⑳ 出 願 人 日本電気株式会社

東京都港区芝5丁目33番1号

㉑ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体集積回路

特許請求の範囲

温度検出用の半導体容量と、前記半導体容量における電荷保持時間を測定する手段と、を備えることを特徴とする半導体集積回路。

発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体集積回路に関し、時に温度検出用の温度センサーを備えて構成される半導体集積回路の改良に関する。

〔従来の技術〕

従来、この種の半導体集積回路においては、温度検出用の温度センサーとして、特殊金属を用いた熱電対を利用しているのが大半であり、一般的である。

〔発明が解決しようとする問題点〕

上述した従来の半導体集積回路においては、温度検出用の温度センサーとして、特殊金属を用いた熱電対が利用されている。このため、半導体集積回路の1チップ上に前記温度センサーのユニットを設ける場合には、そのための特殊な製造プロセスが必要となり、半導体集積回路の製造を複雑化し、製造コストの増大を招くという欠点がある。

〔問題点を解決するための手段〕

本発明の半導体集積回路は、温度検出用の半導体容量と、前記半導体容量における電荷保持時間を測定する手段と、を備えて構成される。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の第1の実施例の構成図である。第1図に示されるように、本実施例は、V_{cc}電源1に対応して、スイッチ2と、半導体容量3と、インバータ4と、タイマー5と、データ変換

器6と、ラッチ用レジスタ7と、を備えて構成される。

第1図において、温度の測定に当っては、最初にスイッチ2を“ON”とし、半導体容量3を V_{cc} レベルまで充電しておく。次に温度測定の時点において、端子51から所定のトリガーを1パルス入力する。このトリガーによりスイッチ2は“OFF”となり、半導体容量3に充電されている電荷はダイナミック保持状態となる。この時点において、同時に、前記トリガーを介してタイマー5におけるカウントが開始される。

半導体容量3においてダイナミック保持された電荷はリーク等により減少してゆくが、半導体容量3の電圧 V_c は、前記電荷の減少にともない V_{cc} レベルよりも低下する。更に電圧 V_c のレベルが低下してゆき、インバータ4の低レベル論理しきい値の電圧に到達すると、インバータ4の出力レベルが“L”レベルから“H”レベルに転移し、この時点においてタイマー5におけるカウントが停止される。すなわち、タイマー5によって

タイマー13の動作を介して、半導体容量11の電荷保持時間が測定される。すなわち、パルス発生器10から出力される1パルスごとに、前記電荷保持時間がサンプリングされて測定される。この電荷保持時間の測定値はコンパレータ14に送られ、コンパレータ14において、保持時間設定レジスタ15から入力される事前設定された保持時間と比較される。前記電荷保持時間の測定値が設定範囲を超えると、割込信号発生器16を介して割込信号が生成される。

(発明の効果)

以上説明したように、本発明は、温度センサーとして半導体容量を用いて温度測定する方式を用いているため、半導体集積回路の1チップ上に特殊なプロセスを用いる必要がなくなり、半導体集積回路の製造を簡易化し、製造コストを低減することができるという効果がある。

図面の簡単な説明

第1図および第2図は、それぞれ本発明な第1

半導体容量3における電荷保持時間が測定される。前記電荷保持時間の測定値はデータ変換器6に送られるが、この電荷保持時間は半導体容量3における温度変化に対応して変動する特性を有しており、この特性を利用して、データ変換器6においては、前記保持時間の測定値が温度データに変換される。データ変換器6における前記温度データは、ラッチ用レジスタ7によりラッチされ、保持される。

第2図は本発明の第2の実施例の構成図である。

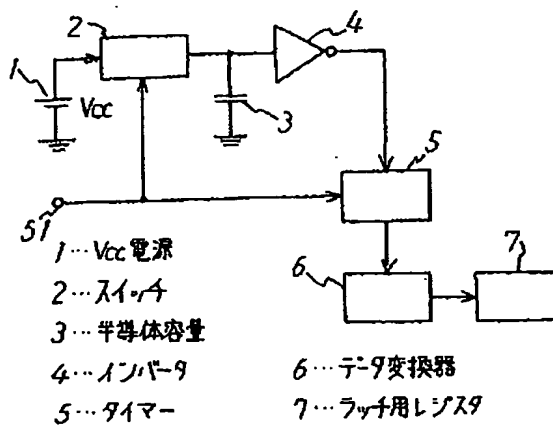
第2図に示されるように、本実施例は、 V_{cc} 電源8に対応して、スイッチ9と、パルス発生器10と、半導体容量11と、インバータ12と、タイマー13と、コンパレータ14と、保持時間設定レジスタ15と、割込信号発生器16と、を備えて構成される。

第2図において、パルス発生器10から出力されるパルスに対応して、前記第1の実施例の場合と同様に、スイッチ9、インバータ12およびタ

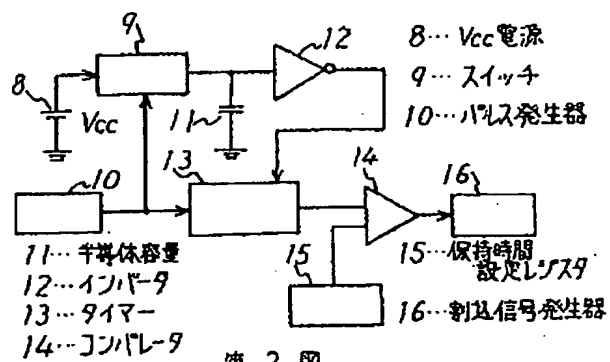
および第2の実施例の構成図である。

図において、1、8… V_{cc} 電源、2、9…スイッチ、3、11…半導体容量、4、12…インバータ、5、13…タイマー、6…データ変換器、7…ラッチ用レジスタ、10…パルス発生器、14…コンパレータ、15…保持時間設定レジスタ、16…割込信号発生器。

代理人 弁理士 内 原 晋



第1図



第2図